

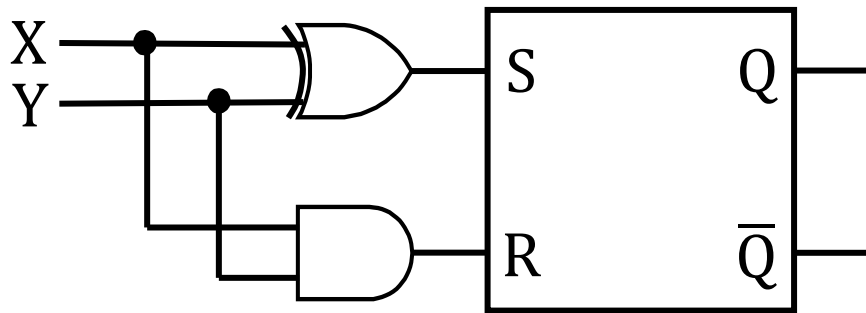
# 記憶回路2・カウンタ・ CPU

# ラッチの問題点

- $(S, R)=(1, 1)$ を回避すべきだが、実際、回路の時間遅延によりラッチへの入力信号に時間的なばらつきが発生し、 $(S, R)$ が過渡的に $(1, 1)$ となってしまう。これをハザード(hazard)とよぶ

# ラッチの問題点

- 以下の回路を考えよう。



- 前段の回路の遅延によってYの信号の変化がXの変化よりわずかに遅れたとする。さらにANDゲートがXORゲートより遅延が大きかったとする

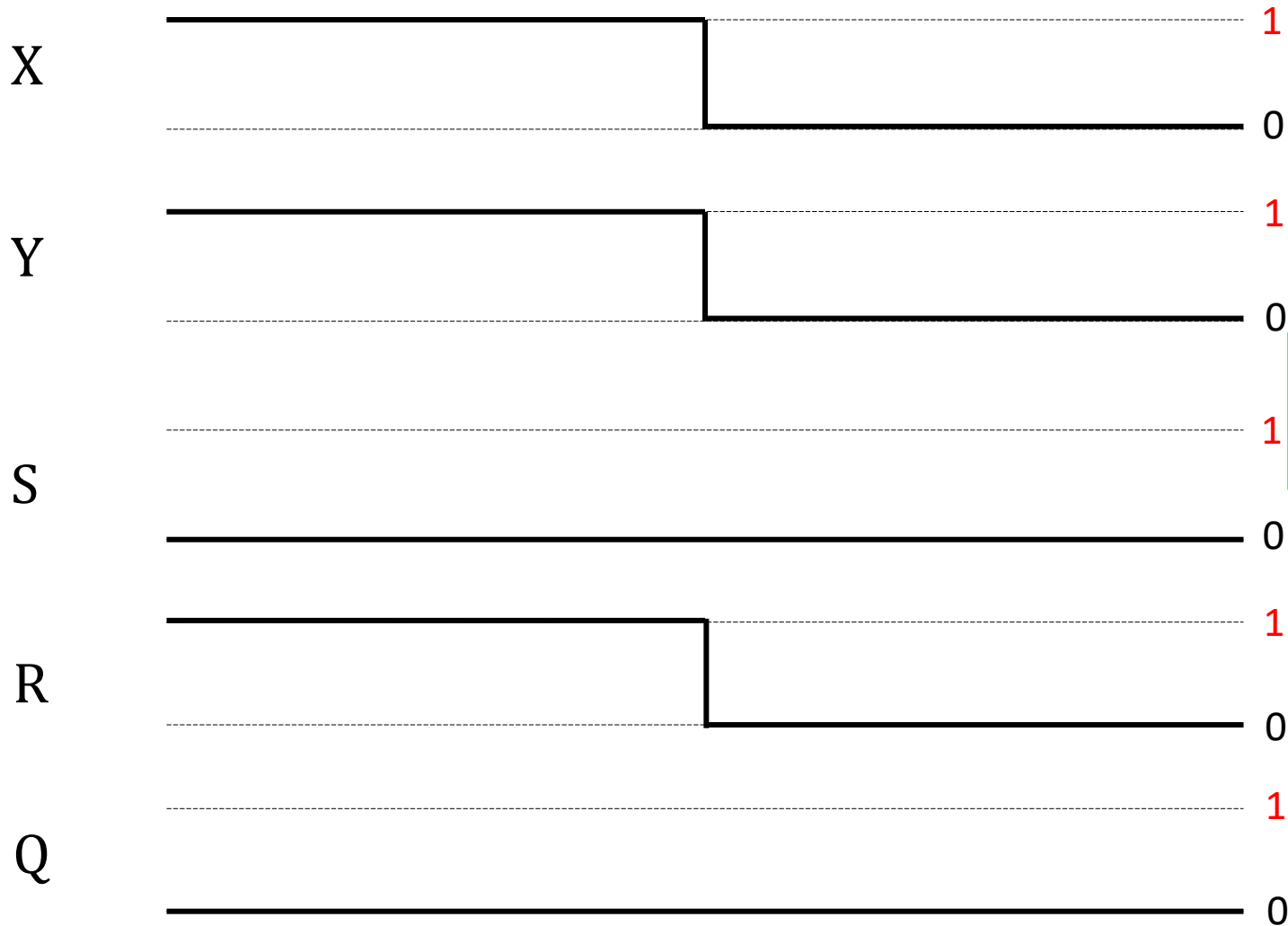


理想は(S, R)が(0, 1)→(0, 0)だが

- (X, Y)が(1, 1)→(0, 0)に変化したとき、(S, R)が過渡的に(1, 1)となってしまう。これをハザード(hazard)とよぶ

# ラッチの問題点

期待される動作



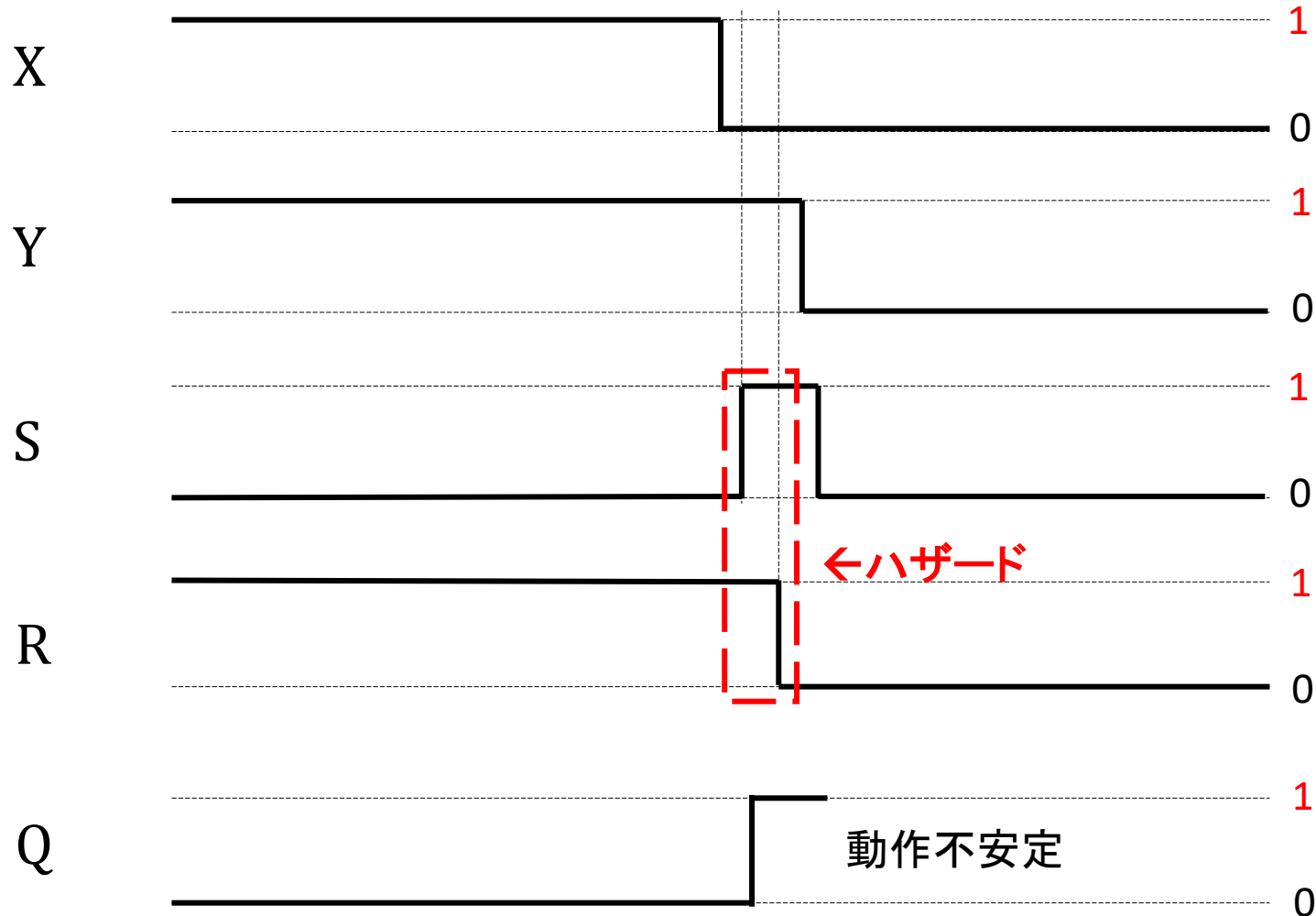
タイミング  
チャート

# タイミングチャートとは

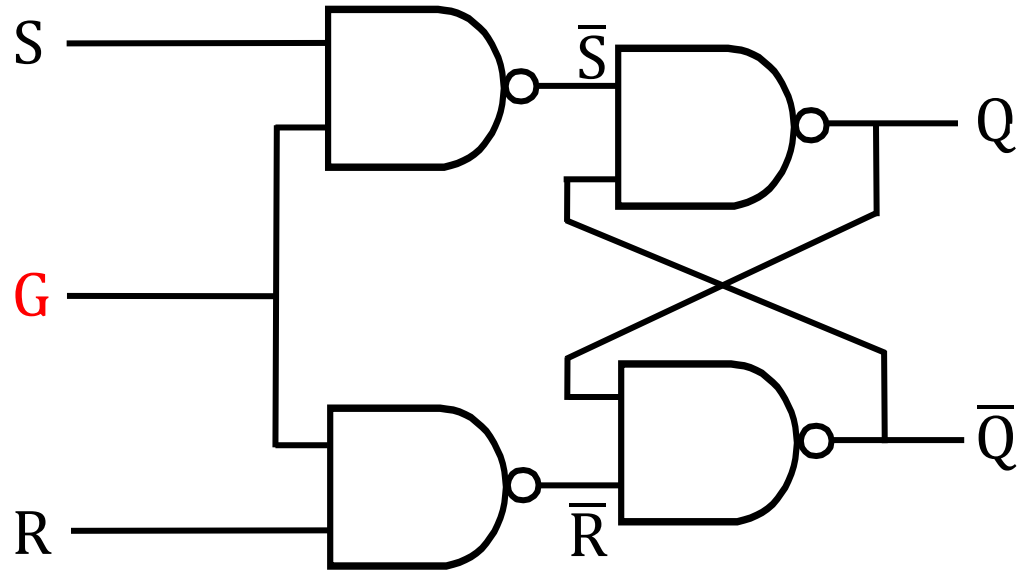
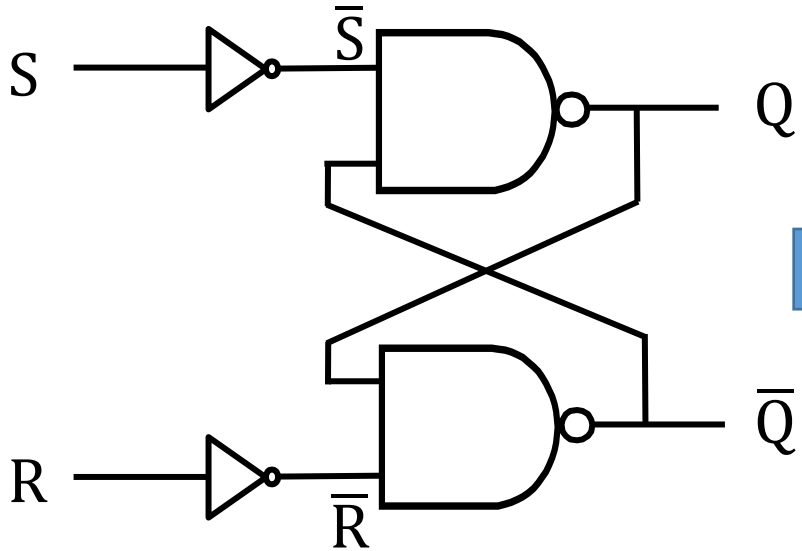
- 複数の信号の関係や振る舞いを時間軸に表した図である
- タイミング図ともいう

# ラッチの問題点

実際の動作(エラー)



# ゲート付きSRラッチ



$$\bar{S} = \overline{S\bar{G}} = \begin{cases} \bar{S} & \text{if } G = 1 \\ 1 & \text{if } G = 0 \end{cases}$$

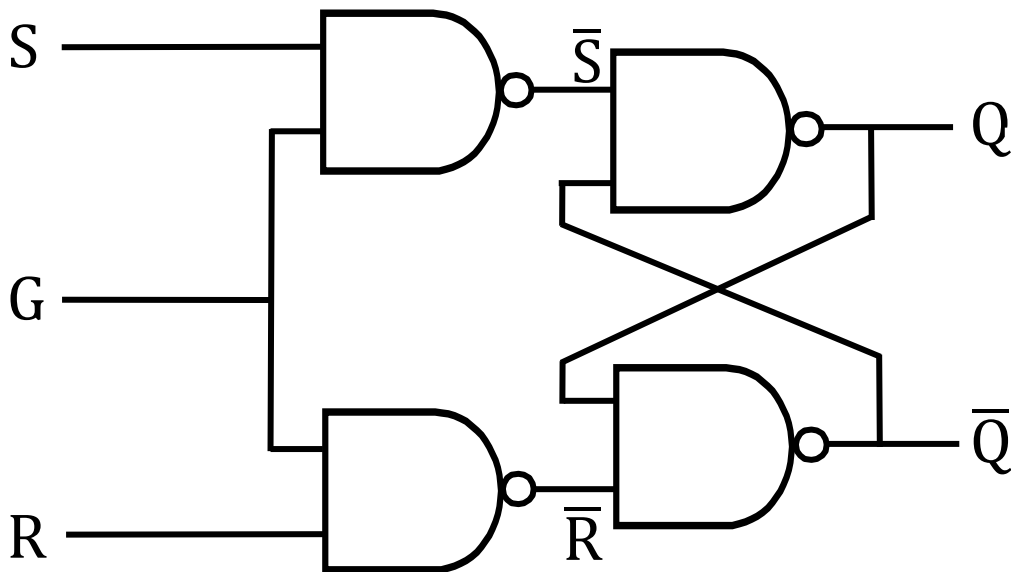
$$\bar{R} = \overline{R\bar{G}} = \begin{cases} \bar{R} & \text{if } G = 1 \\ 1 & \text{if } G = 0 \end{cases}$$

**G=0**ならS,Rがどうであれ  $\bar{S}, \bar{R}=1, 1$  となり、状態保持

**G=1**なら、S, Rはそのまま入力を受け取る

# ゲート付きSRラッチ

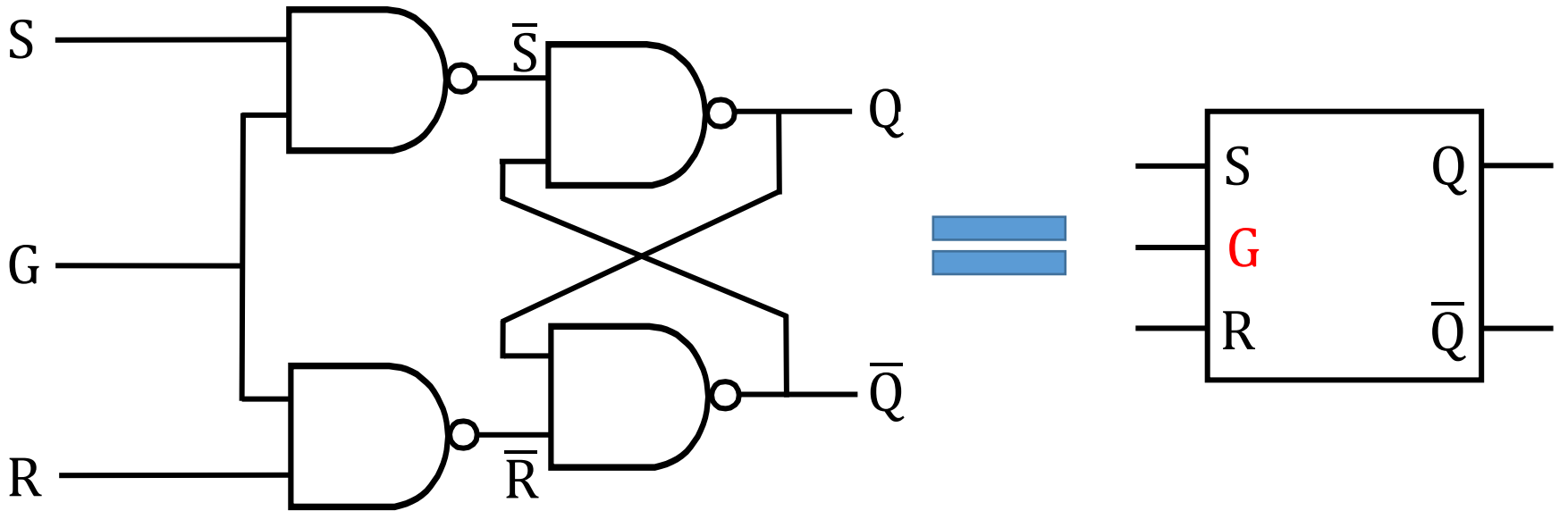
- ハザードはゲート付きラッチで解決できる
- ゲートで入力を有効にするかどうかを選択する
- この選択信号のことをゲート (gate)、あるいはイネーブル (enable) とよぶ



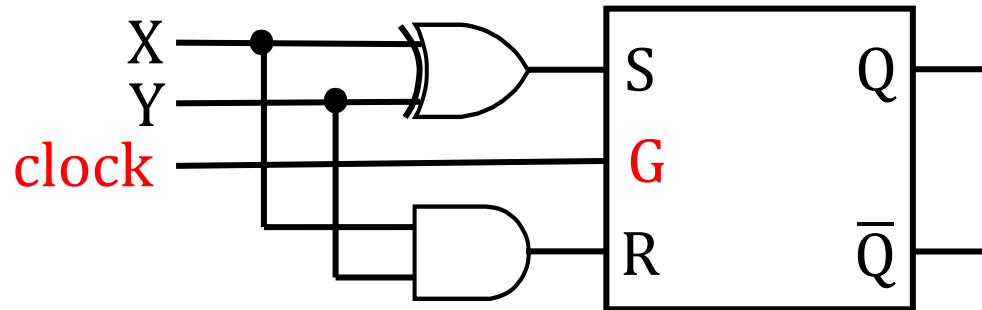
(S, R)=(1, 1)であっても、  
G=0である限り、  
( $\bar{S}$ ,  $\bar{R}$ )=(0, 0)にならない。  
⇒ハザードが発生しない



# ゲート付きSRラッチ

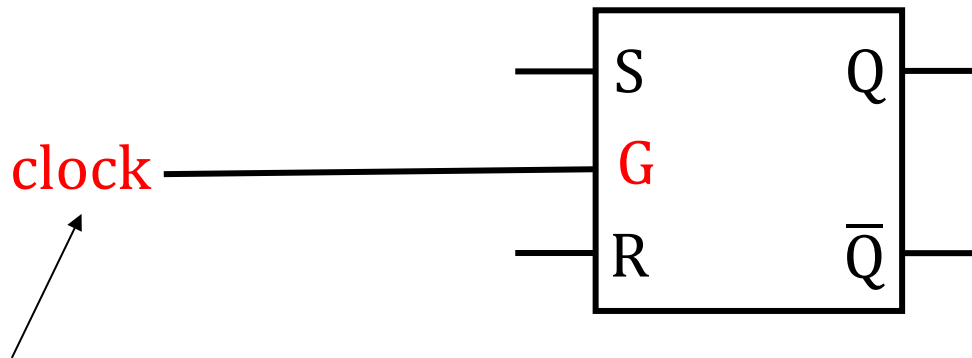


# ゲート付きSRラッチを用いると解決



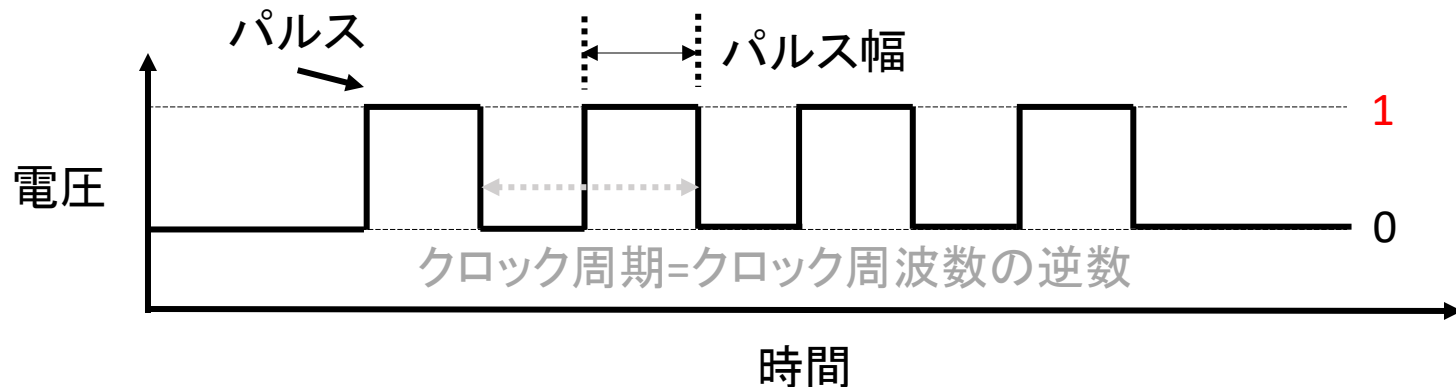


# clock



クロック信号 (CLKで記す場合がある):

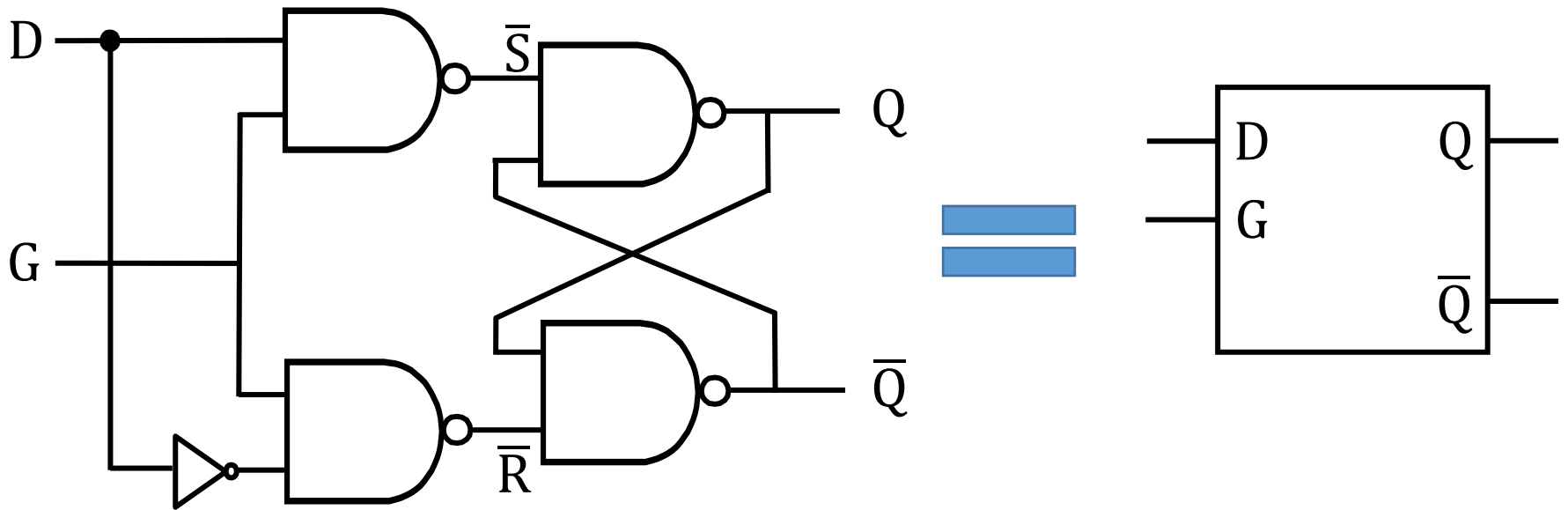
- 周期的に電圧がハイレベルとローレベルを繰り返す信号
- 発振回路によって生成される
- ゲート付き回路は、クロックに同期して(パルスの立ち上がり・立ち下がりごとに)動作する



# manaba小テスト:演習12-1

- 10分
- 5点

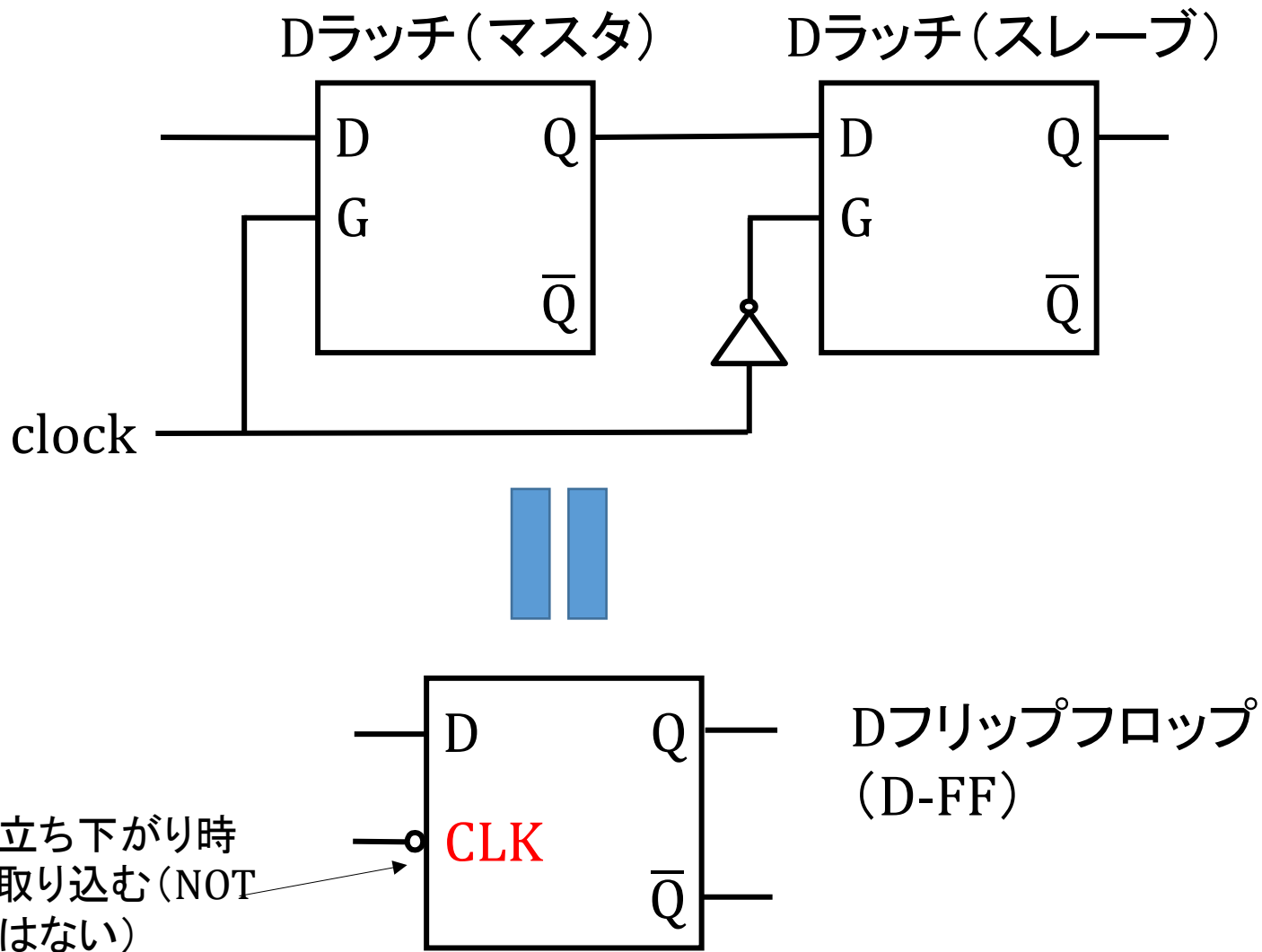
# ゲート付きDラッチ



# ゲート付きラッチの問題点

- ゲート付きラッチをこのまま使う場合は問題ないが、応用の場合(たとえば後述のカウンタ)、クロックのパルス幅をうまく調整しないと、期待している動作が保証できない
- パルス幅が大きすぎると、1パルス内に、状態が何度も変化してしまう。これを「**発振**」という
  - 問題の本質は**ラッチの出力がすぐに入力に反映されてしまうこと**にある
  - それを防ぐために、「**マスタスレーブ型フリップフロップ**」と呼ばれるものが用いられる
- 一方、パルス幅が小さすぎると、状態変化さえ起らない
  - これはどうにもならないので、パルスの幅を小さすぎないようにするしかない

# Dフリップフロップ (D-FF)



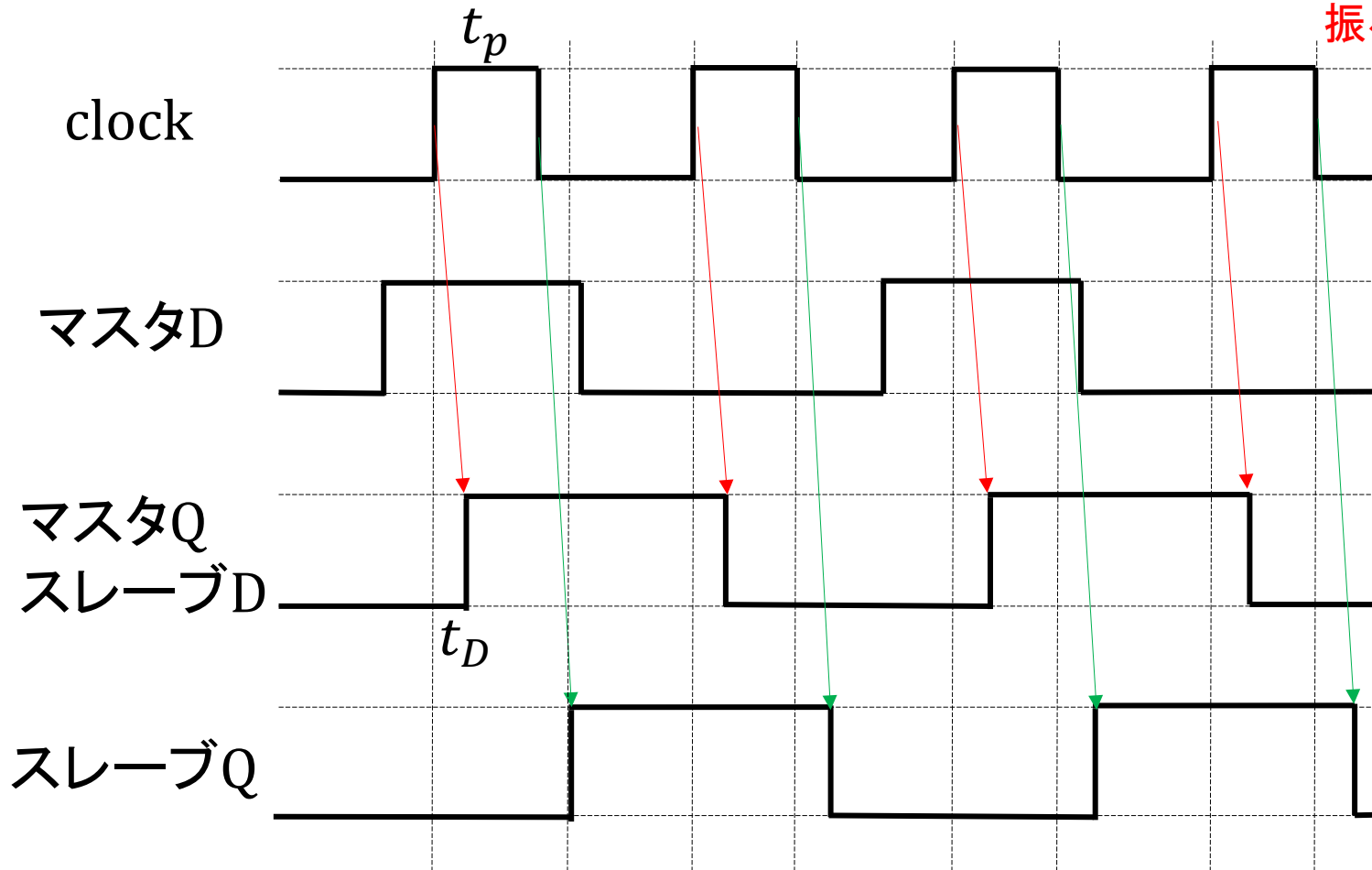


# 考え方

- 最初はスレーブのゲートを閉じ、マスタに外部入力を取り込み、マスタの状態が安定するまで待つ
- 次にスレーブのゲートを開き、マスターの安定した状態を入力として取り込む

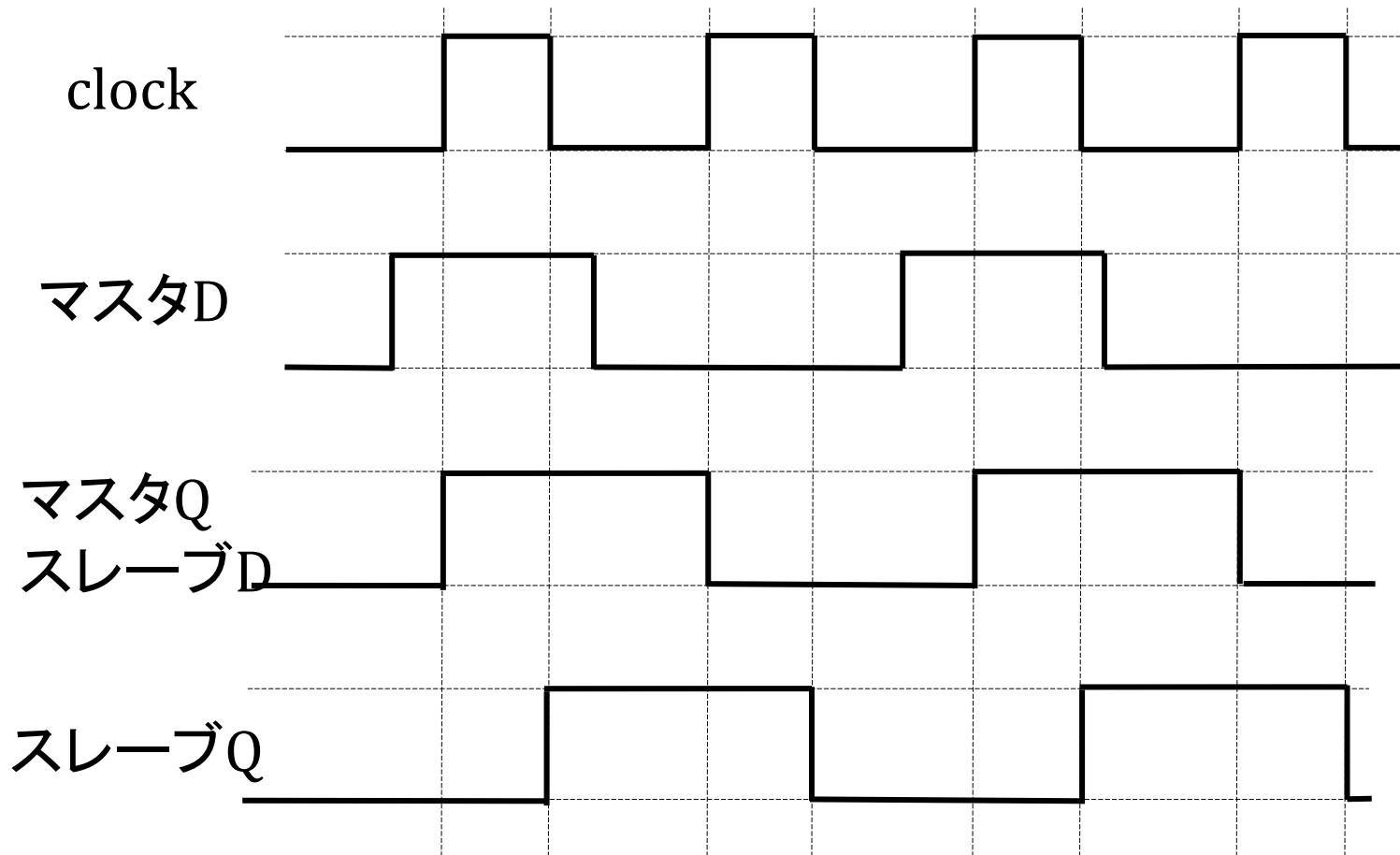
# Dフリップフロップ (D-FF)

Qはクロックの立ち下りのタイミングでD信号に応じて変化する(期待通りの振る舞い)



$t_p > t_D$   
であればOK

# Dフリップフロップ (D-FF)



ラッチ→ゲート付きラッチ  
→D FFを回路の遅延を入れて説明してきた。

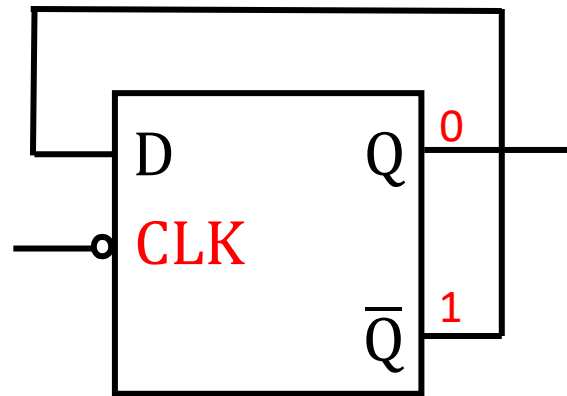
以降は遅延はないものとして扱っていく

回路の遅延がないタイミングチャート

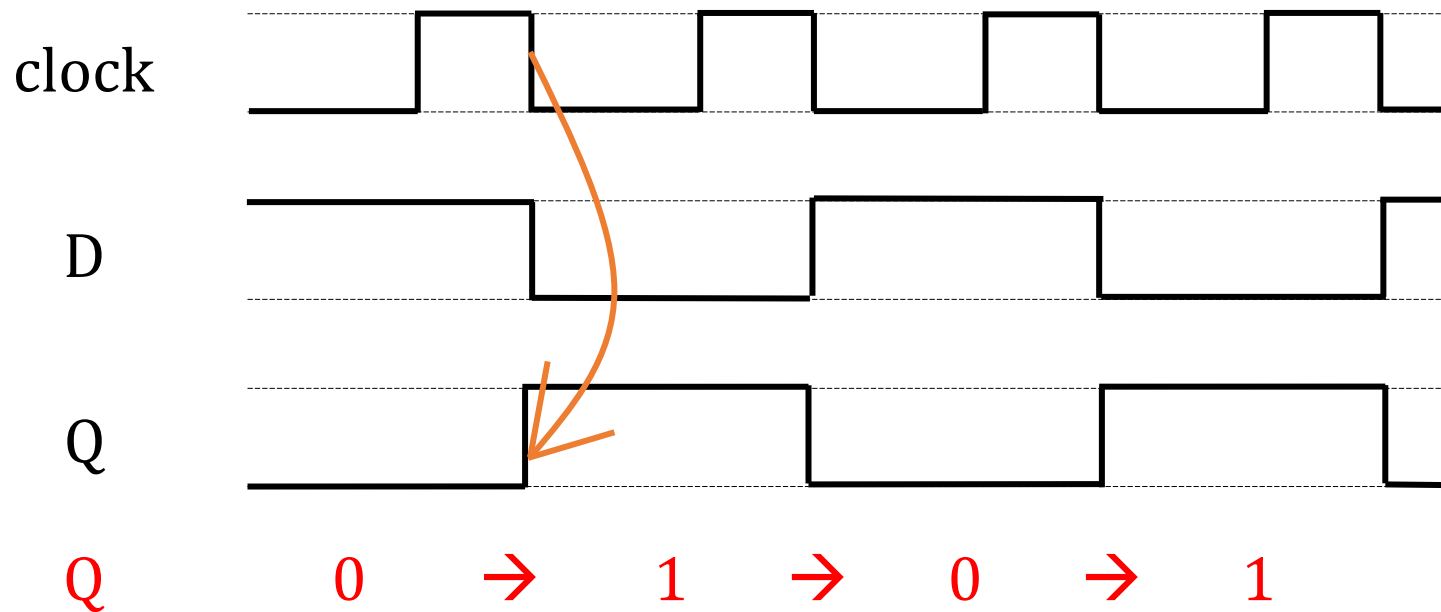
# manaba小テスト: 演習12-2

- 5分
- 2点

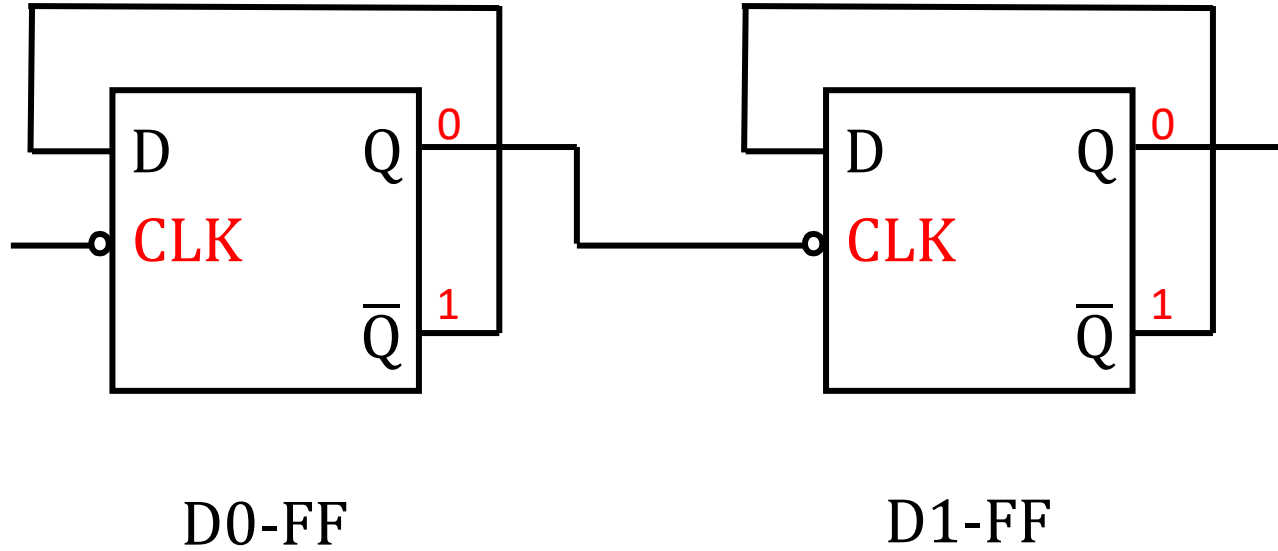
# 1ビットカウンタ



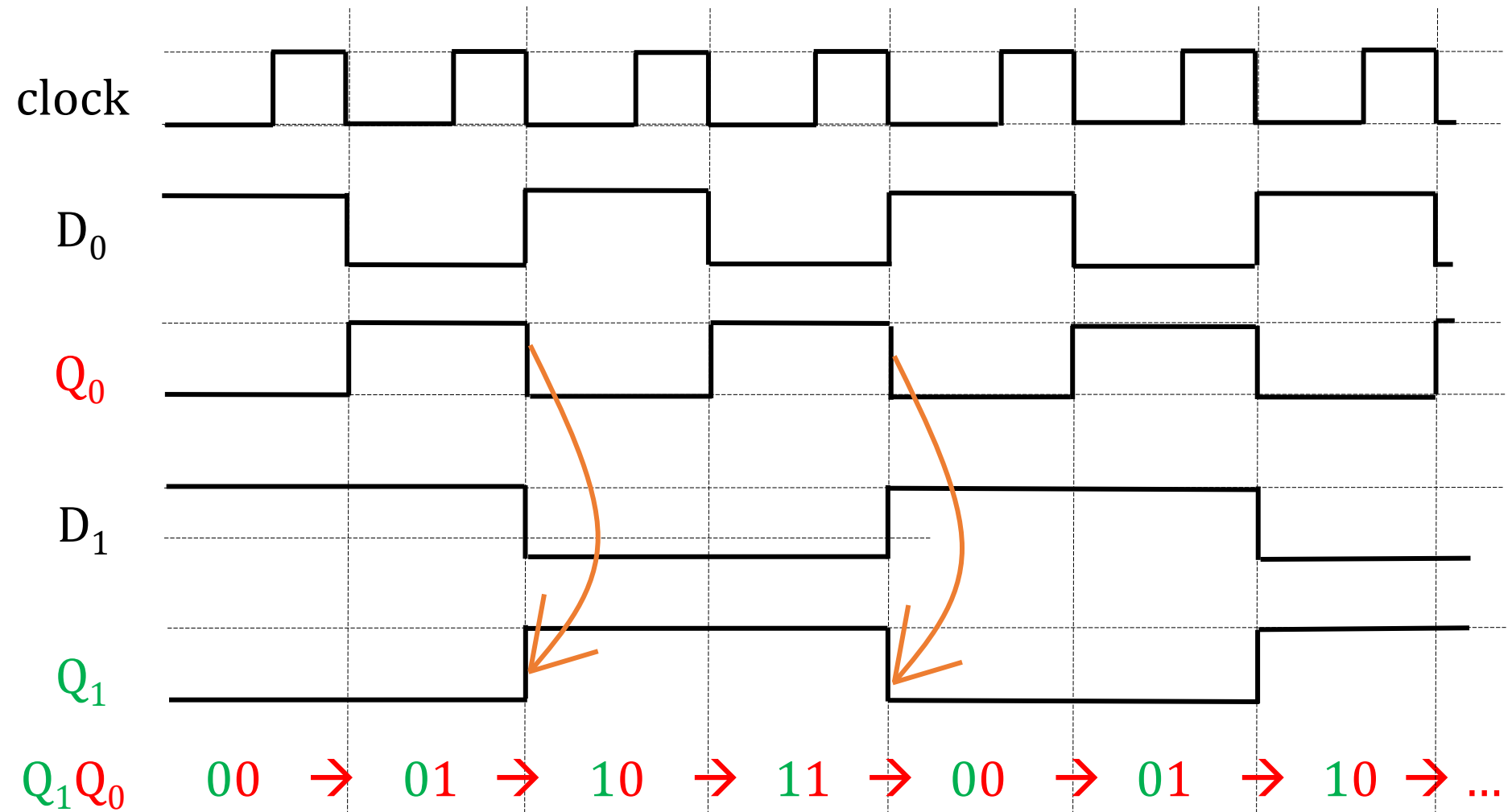
Qの初期状態が1でも  
1→0→1→0...のカウンタ  
となる



# 2ビットカウンタ



# 2ビットカウンタ



# Question

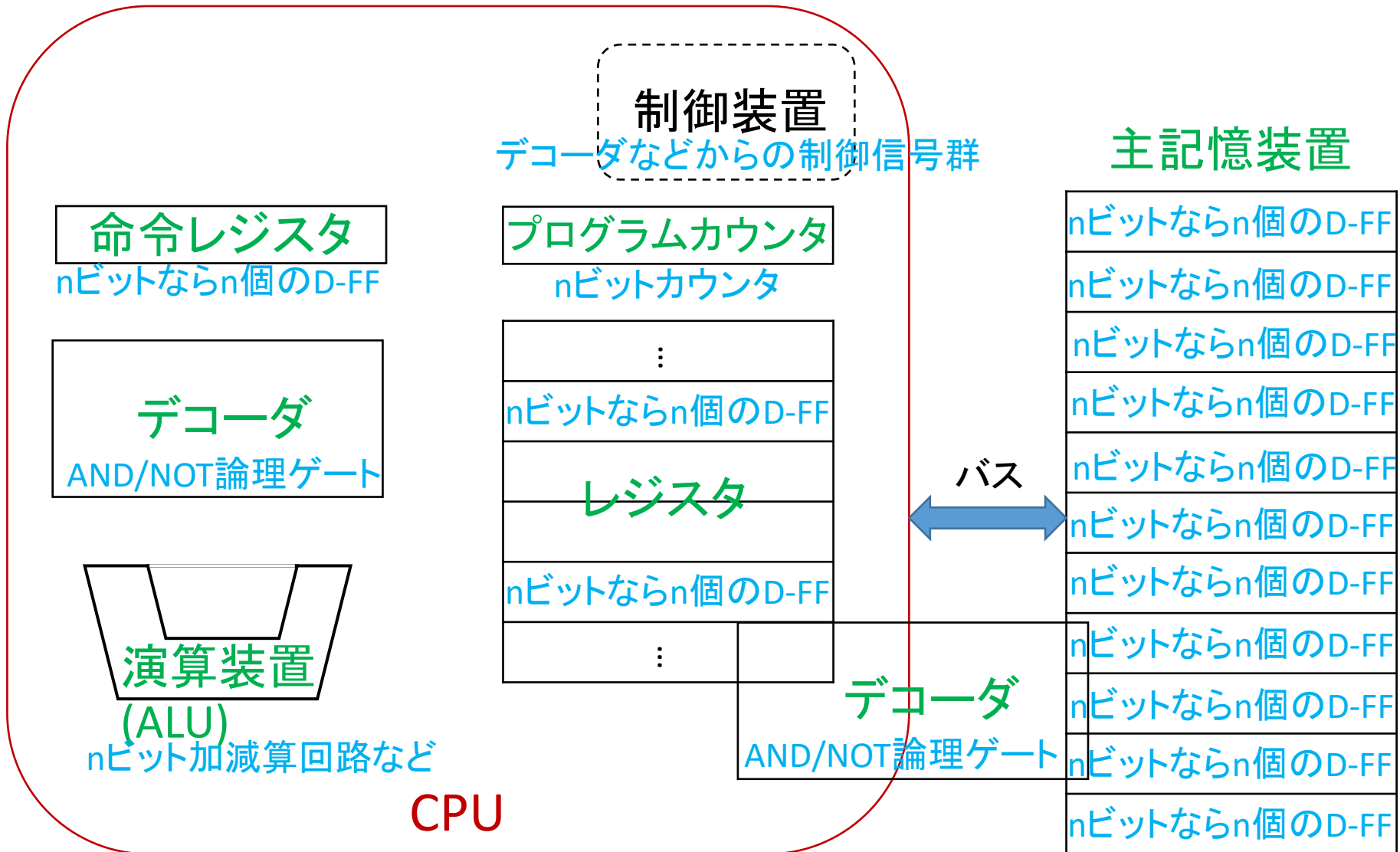
D, Qのタイミングチャートを見ると、同じ時刻の値がちょうど相反する関係にある。変化(立ち上がり立ち下がり)も同じ時刻で起きている。しかし実際は回路に時間遅延があるため、両者が変化するタイミングにずれがある。さて、どっちが先にどっちが後に変化するだろうか？



# manabaレポート: 演習12-3

- 3ビットカウンタの回路構成を書きなさい。000から111までカウントするタイミングチャートも書きなさい。なお、カウント値( $Q_2Q_1Q_0$ )を明示すること
- 提出締め切り: 2025/1/14(火)12:30
- 5点

# CPUの構成



# コンピュータの基本構成

